

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044706
 (43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H01P 1/205
 H01P 1/203
 H01P 3/08
 H01P 5/02
 H01P 11/00
 H05K 1/02

(21)Application number : 11-215400
 (22)Date of filing : 29.07.1999

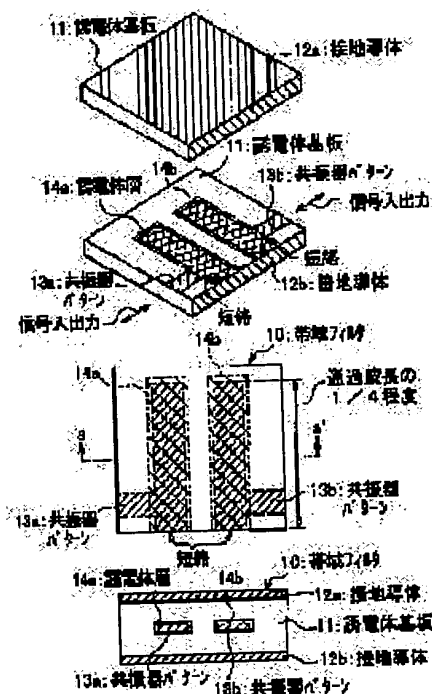
(71)Applicant : SONY CORP
 (72)Inventor : HIRABAYASHI TAKAYUKI

(54) DISTRIBUTED CONSTANT CIRCUIT ELEMENT, ITS MANUFACTURE AND PRINTED CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a desired frequency characteristic of a distributed constant circuit element without incurring cost increase in spite of miniaturization and thin profile.

SOLUTION: Two resonator patterns 13a, 13b to configure a band-pass filter are placed in parallel between ground conductors 12a and 12b of this distributed constant circuit element. A dielectric layer 14 made of a material with a lower dielectric constant than that of a dielectric board 11 is formed between the pattern face of the resonator patterns 13a and 13b and the ground conductor. The electric field in an even number exciting mode can be weakened more in comparison with the distributed constant circuit element without the dielectric layer 14. An even number mode impedance Z_0 is increased, the electric field in an odd number exciting mode is almost equal and a degree of coupling β is increased. The pass-band is made broader.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Searching PAJ

rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-44706

(P 2001-44706 A)

(43) 公開日 平成13年2月16日 (2001. 2. 16)

(51) Int. Cl. 7		識別記号	F I	テーマコード (参考)	
H O 1 P	1/205		H O 1 P	1/205	B 5E338
	1/203			1/203	5J006
	3/08			3/08	5J014
	5/02	6 0 3		5/02	6 0 3
	11/00			11/00	G
審査請求		未請求	請求項の数 1 2	O L	
				(全 1 0 頁) 最終頁に続く	

(21) 出願番号 特願平11-215400

(22) 出願日 平成11年7月29日 (1999. 7. 29)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 平林 崇之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100090376

弁理士 山口 邦夫 (外1名)

最終頁に続く

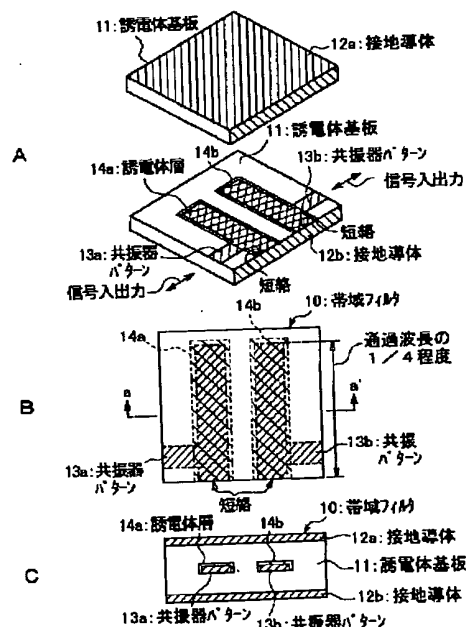
(54) 【発明の名称】 分布定数回路素子とその製造方法およびプリント配線板

(57) 【要約】

【課題】 小型化・薄型化を図りながらコストアップを招くことなく分布定数回路素子の周波数特性を所望の特性とする。

【解決手段】 接地導体 12 a, 12 b 間には帯域フィルタを構成するための 2 つの共振器パターン 13 a, 13 b を並設する。共振器パターン 13 a, 13 b のパターン面と接地導体間に誘電体基板 11 よりも誘電率の低い材料を用いた誘電体層 14 を形成する。誘電体層 14 a, 14 b を設けない場合に比べて偶励振モードの電界が弱められる。偶モードインピーダンス Z_o が大きくなると共に奇励振モードの電界は略同一とされて結合度 β が大きくなる。通過帯域の広帯域化を図ることができる。

帯域フィルタの構成



【特許請求の範囲】

【請求項 1】 接地導体と導体パターンとの間に誘電体基板が挟み込まれ、前記導体パターンのパターン形状に応じて動作が設定される分布定数回路素子において、前記誘電体基板よりも誘電率が低い材料を用い、前記導体パターンの位置に対応して形成された誘電体層を有することを特徴とする分布定数回路素子。

【請求項 2】 前記導体パターンは、共振器を構成する 1 対の導体パターンであって、前記 1 対の導体パターン間に前記誘電体層を有すること

を特徴とする請求項 1 記載の分布定数回路素子。

【請求項 3】 前記接地導体と導体パターンとの間に前記誘電体層を有することを特徴とする請求項 1 記載の分布定数回路素子。

【請求項 4】 接地導体と導体パターンとの間に誘電体基板が挟み込まれ、前記導体パターンのパターン形状に応じて動作が設定される分布定数回路素子の製造方法において、前記誘電体基板としてセラミック材を用いるものとし、前記セラミック材よりも誘電率の低い材料を前記導体パターンの位置に対応して積層したのち焼成することを特徴とする分布定数回路素子の製造方法。

【請求項 5】 共振器を構成する 1 対の導体パターンを前記導体パターンとして形成し、前記セラミック材料よりも誘電率の低い材料を前記 1 対の導体パターンのパターン間に積層したのち焼成することを特徴とする請求項 4 記載の分布定数回路素子の製造方法。

【請求項 6】 前記セラミック材料よりも誘電率の低い材料を前記接地導体と導体パターンとの間に積層したのち焼成することを特徴とする請求項 4 記載の分布定数回路素子の製造方法。

【請求項 7】 接地導体と導体パターンとの間に誘電体基板が挟み込まれ、前記導体パターンのパターン形状に応じて動作が設定される分布定数回路素子の製造方法において、前記誘電体基板として有機材料を用いるものとし、前記有機材料よりも誘電率の低いプリプレグ材を前記導体パターンの位置に対応して塗布したのち硬化させることを特徴とする分布定数回路素子の製造方法。

【請求項 8】 共振器を構成する 1 対の導体パターンを前記導体パターンとして形成し、前記有機材料よりも誘電率の低いプリプレグ材を前記 1 対の導体パターンのパターン間に塗布したのち硬化させることを特徴とする請求項 7 記載の分布定数回路素子の製造方法。

【請求項 9】 前記有機材料よりも誘電率の低いプリプレグ材を前記接地導体と導体パターンとの間に設けたのち硬化させることを特徴とする請求項 7 記載の分布定数回路素子の製造方法。

【請求項 10】 部品が搭載されるプリント配線板において、

前記プリント配線板の絶縁基板を接地導体と導体パターンとで挟み込み、所望の動作の分布定数回路素子となるよう前記導体パターンの形状を設定し、前記誘電体基板よりも誘電率の低い材料を用いた誘電体層を前記導体パターンの位置に対応して形成したことを特徴とするプリント配線板。

【請求項 11】 前記導体パターンは共振器を構成する 1 対の導体パターンであって、前記 1 対の導体パターン間に前記誘電体層を形成したことを特徴とする請求項 10 記載のプリント配線板。

【請求項 12】 前記接地導体と前記導体パターンとの間に前記誘電体層を形成したことを特徴とする請求項 10 記載のプリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は分布定数回路素子とその製造方法およびプリント配線板に関する。詳しくは、分布定数回路素子において、誘電体基板よりも誘電率が低い材料を用いた誘電体層を導体パターンの位置に対応して形成することにより、所望の周波数特性の分布定数回路素子を得るものである。

【0002】

【従来の技術】 近年、情報通信技術の進展に伴い、移動体通信機器や ISDN あるいはコンピュータ装置等の様々な機器に、無線あるいは有線で高速にデータ等を伝送するための回路ブロックが搭載されるようになっていく。

【0003】 このような回路ブロックを機器に搭載する際には、高速にデータ等を伝送できるだけでなくノイズ等を考慮した構成が望まれる。さらに、携行可能な機器に搭載する場合にあっては、部品の小型化や複合化および多機能化等が図られている。例えば、高周波回路に於ける機能ブロックでは、コンデンサやコイル等のチップ部品を使用して集中定数回路としてフィルタ等を実現することは波長が短くなると困難となり、分布定数回路を用いて小型化や集積化を図ることなどが研究されている。

【0004】 ここで、高性能な帯域フィルタとしては、 $\lambda/4$ (λ は波長) 程度の共振器パターンを結合させた結合器が用いられている。例えば図 10 は誘電体基板 200 に略 $\lambda/4$ の長さの共振器パターン 201 を並べることで結合器を構成したものである。図 11 は共振器パターン 202 をカスケード状に隣接して並べてパターン側面で結合させると共に、隣接した共振器パターンが略 $\lambda/4$ の長さの重なり部分を有するように設けることで結合器を構成したものである。さらに、図 12 は、ステップインピーダンス共振構造をとることにより、共振器パターン 203 を短縮させてコンパクトな帯域フィルタ

を形成するものである。なお、図示せずとも誘電体基板 200 のパターンが形成された面とは逆側の面は接地導体とされる。

【0005】このような帯域フィルタでは、式(1)で示される共振器パターンの結合度 β を大きくすることにより、通過帯域の広帯域化を図ることができることが知られている。なお、式(1)において「 Z_e 」は結合線路の偶モードインピーダンス、「 Z_o 」は奇モードインピーダンスを示しており、偶モードインピーダンス Z_e と奇モードインピーダンス Z_o の比 (Z_e/Z_o) が大きくなるほど結合度 β は上昇する。

$$\beta = (Z_e - Z_o) / (Z_e + Z_o) \quad \dots (1)$$

【0006】

【発明が解決しようとする課題】ところで、データ等の伝送の高速化・高容量化に伴い、上述のような素子の通過帯域を広帯域化するためには、比 (Z_e/Z_o) を大きくする必要がある。ここで、図13Aに示すように共振器パターン(ストリップライン)301が誘電体基板300内に形成されると共に、2つの接地導体302、303で挟まれたトリプレート構造の結合器において、比 (Z_e/Z_o) を大きくするために、図13Bに示す偶モード励振の電界を弱くして偶モードインピーダンス Z_e が大きくなるように接地導体間の距離 K 、すなわち誘電体の厚さ方向の距離を大きくすると基板が厚くなり、小型化・薄型化に反してしまう。また、図13Cに示す奇モード励振の電界を強めて奇モードインピーダンス Z_o が小さくなるように共振器パターンの間隔 d を狭めるものとする、微細加工が可能な装置、例えばドライエッチング装置等が必要となりコストアップとなってしまう。

【0007】また、帯域フィルタに限らず、低域フィルタや高域フィルタ等を構成する場合にも、所望の特性を得るためには小型化・薄型化に反してしまう場合が生ずる。そこで、この発明では、小型化・薄型化を図りながらコストアップを招くことなく所望の周波数特性を得ることができる分布定数回路素子とその製造方法およびプリント配線板を提供するものである。

【0008】

【課題を解決するための手段】この発明に係る分布定数回路素子は、接地導体と導体パターンとの間に誘電体基板が挟み込まれ、導体パターンのパターン形状に応じて動作が設定される分布定数回路素子であって、誘電体基板よりも誘電率が低い材料を用い、導体パターンの位置に対応して形成された誘電体層を有するものである。

【0009】また、分布定数回路素子の製造方法は、接地導体と導体パターンとの間に誘電体基板が挟み込まれ、導体パターンのパターン形状に応じて動作が設定される分布定数回路素子の製造方法であって、誘電体基板としてセラミック材を用いるものとし、セラミック材よりも誘電率の低い材料を導体パターンの位置に対応して

積層したのち焼成するものである。また、誘電体基板として有機材料を用いるものとし、有機材料よりも誘電率の低いプリプレグ材を導体パターンの位置に対応して塗布したのち硬化させるものである。

【0010】さらに、プリント配線板は、プリント配線板の絶縁基板を接地導体と導体パターンとで挟み込み、所望の動作の分布定数回路素子となるよう導体パターンの形状を設定し、誘電体基板よりも誘電率の低い材料を用いた誘電体層を導体パターンの位置に対応して形成したものである。

【0011】この発明においては、接地導体と導体パターンとの間に誘電体基板が挟み込まれ、導体パターンのパターン形状に応じて動作が設定される分布定数回路素子において、例えば誘電体基板としてセラミック材や有機材が用いられると共に、導体パターンとして共振器を構成する1対の導体パターンが設けられて帯域フィルタが形成される。ここで、1対の導体パターンのパターン面と接地導体間には誘電体基板よりも誘電率の低い誘電体層が形成される。また、分布定数回路素子が低域フィルタや高域フィルタ等となるように導体パターンのパターン形状が設定されたときには、この導体パターンに基づいた位置、例えば導体パターンと接地導体との間に誘電率の低い誘電体層が設けられる。さらに、この分布定数回路素子はプリント配線板に設けられる。

【0012】

【発明の実施の形態】以下、この発明の実施の一形態について図を参照しながら詳細に説明する。図1は分布定数回路素子、例えば帯域フィルタとして動作するトリプレート構造の結合器(以下「帯域フィルタ」という)10の構成を示しており、図1Aは分解斜視図、図1Bは平面図、図1Cは図1Bに示す $a-a'$ 線での断面概略図である。図1に示すように帯域フィルタ10は誘電体基板(絶縁基板)11の両面に接地導体12a、12bが形成されており、接地導体12a、12b間には帯域フィルタを構成するための2つの共振器パターン13a、13bが並設される。この共振器パターン13a、13bの一端は、接地導体12bと短絡される。また、接地導体12aと接地導体12bが接続されることにより、共振器パターン13a、13bがシールドされる。ここで、共振器パターン13a、13bのそれぞれのパターン面側には、誘電体基板11の誘電率よりも誘電率の低い材料を用いた誘電体層14a、14bが形成される。

【0013】このように構成された帯域フィルタ10では、共振器パターン13a、13bのパターン面上に誘電体基板11よりも誘電率の低い誘電体層14a、14bが形成されていることから、誘電率の低い誘電体層14a、14bを形成していない場合に比べて、偶励振モードの電界が弱められて偶モードインピーダンス Z_e が大きくなると共に奇励振モードの電界は略同一とされて

奇モードインピーダンス Z_0 は略同じ値となる。このため、比 (Z_e/Z_0) が大きくなって結合度 β を大きくすることができるので、通過帯域の広帯域化を図ることができる。

【0014】次に、上述の帯域フィルタ 10 の製造方法について説明する。図 2 はガラスセラミック等の焼成基板に帯域フィルタを構成する場合を示している。

【0015】まず、図 2 A のようにグリーンシート（バイングに基板の構成材料を混合してスラリー状とし、更にシート状に成形したもの）20 の一方の面には、銅や金などの金属材料を用いて図 1 の共振器パターン 13 a, 13 b と同様な共振器パターン 21 a, 21 b を印刷あるいはメッキ法等によって形成し、他方の面には同様に接地導体 22 を形成する。

【0016】次に、図 2 B のように共振器パターン 21 a と共振器パターン 21 b のパターン面上にグリーンシート 20 よりも誘電率の低いグリーンシート 23 を積層する。ここで、例えばガラス繊維をセラミック材料に混合したガラスセラミックをグリーンシート 20 として用いるときには、ガラス繊維とセラミック材料の混合比を変えて、グリーンシート 20 よりも誘電率の低いものとされたグリーンシート 23 が用いられる。なお、グリーンシートはガラスセラミックに限られるものではなく、アルミナとガラスフリットの混合物やバリウム、マグネシウム、タンタル等の酸化物を用いたもの等であっても良い。

【0017】また、図 2 C のように、グリーンシート 20 と同じ材質であると共に、一方の面に銅や金などの金属材料を用いて接地導体 26 を印刷あるいはメッキ法等によって形成したグリーンシート 25 を生成する。

【0018】このように生成したグリーンシート 20, 23, 25 を図 2 D のように積層する。ここで、グリーンシート 23 が積層されたグリーンシート 20 にグリーンシート 25 を積層する際には、グリーンシート 20 の共振器パターン 21 a, 21 b を形成した面側（グリーンシート 23 の積層側）と、グリーンシート 25 の接地導体 26 が形成されていない面側が対向するように積層される。

【0019】その後、積層されたグリーンシート 20, 23, 25 を同時焼成すると共に接地導体 22, 26 を接続することで、図 2 E のように図 1 に示す構造の帯域フィルタを生成することができる。なお、接地導体でシールドを行う場合、グリーンシートの側面にも接地導体を設けるものとして、この側面の接地導体を接続することでシールドを行うものとしたり、バイアホールを複数設けて接地導体 22 と接地導体 26 の接続およびシールドを行うものとしても良く、以下に示す場合も同様である。

【0020】次に、有機系誘電体基板を用いて帯域フィルタを構成する場合を図 3 に示す。図 3 A に示すよう

に、有機系誘電体基板 30、例えばガラス布基材にエポキシ樹脂を含浸させた有機系誘電体基板（誘電率は 5 程度）の一方の面には、銅や金などの金属材料を用いて図 1 の共振器パターン 13 a, 13 b と同様な共振器パターン 31 a, 31 b をメッキ法等によって形成する。また、他方の面には同様に接地導体 32 を形成する。なお、有機系誘電体基板 30 の両面に銅や金などの金属材料を用いた導体層を形成して、一方の面の導体層を接地導体 32 として用いると共に、他方の導体層に対してエッチング処理等を行うことで共振器パターン 31 a, 31 b を形成するものとしても良い。

【0021】その後、図 3 B のように共振器パターン 31 a, 31 b のパターン面上に有機系誘電体基板 30 よりも誘電率の低い誘電体 33 a, 33 b を設けたのち熱を加えて硬化させる。この誘電体 33 a, 33 b としては、上述のようにガラス布基材にエポキシ樹脂を含浸させた有機系誘電体基板を用いている場合、有機系誘電体基板よりも誘電率の低い材料、例えばテフロン（誘電率は 2 程度）が共振器パターン 31 a, 31 b のパターン面上に塗布される。

【0022】また、図 3 C のように有機系誘電体基板 30 と同じ材質であると共に、一方の面に銅や金などの金属材料を用いて接地導体 36 を形成した有機系誘電体基板 35 を形成する。

【0023】次に、図 3 D のように有機系誘電体基板 30 の共振器パターン 31 a, 31 b 側に有機系誘電体基板 30 と同じ材質のプリプレグ材 37 を塗布したのち、有機系誘電体基板 30, 35 を積層する。ここで、有機系誘電体基板 30 と有機系誘電体基板 35 を積層する際には、有機系誘電体基板 30 の共振器パターン 31 a, 31 b を形成した面側と、有機系誘電体基板 35 の接地導体 36 が形成されていない面側が対向するように積層される。

【0024】その後、図 3 E のように有機系誘電体基板 30 と有機系誘電体基板 35 を貼り合わせた状態で熱を加えてプリプレグ材 37 を硬化させることで、図 3 E のように図 1 に示す構造の帯域フィルタを生成することができる。

【0025】また、上述の実施の形態では共振器パターンのパターン面上に誘電率の低い層を形成するものとしたが、共振器パターンのパターン面上だけでなく図 4 に示すように共振器パターンの下面側にも誘電率の低い層を形成するものとしてもよい。この場合には、共振器パターン 51 a, 51 b の形成位置に合わせて、他の部分よりも誘電率の低い誘電体層 52 a, 52 b が形成されている誘電体基板 50 を用いるものとし、誘電体層 52 a, 52 b が形成された誘電体基板 50 に共振器パターン 51 a, 51 b を形成する際には、共振器パターン 51 a, 51 b の下面に誘電体層 52 a, 52 b が位置す

るように形成される。

【0026】その後、上述の実施の形態と同様な処理を行うと共に、共振器パターン51a、51bのパターン面上に誘電体層53a、53bを形成することで図4に示す構造の帯域フィルタを構成することができる。

【0027】なお、帯域フィルタは、トリプレート構造のものに限られるものではなく、図2Bあるいは図3Bの段階で得られるマイクロストリップライン構造としても良い。また、ステップインピーダンス共振構造のものであっても良いことは勿論である。

【0028】このように、共振器パターンのパターン面位置に誘電率の低い誘電体層を設けることで、偶モードインピーダンス Z_e を大きくして結合度 β を大きくすることができるので通過帯域の広帯域化を図ることができる。例えば、ステップインピーダンス共振構造の共振器パターンを誘電率3.3の誘電体基板に形成したときには、図5の破線で示す周波数特性となり、共振器パターンのパターン面位置に誘電率2.2の誘電体層を設けることで、実線で示すように広帯域化された周波数特性を得ることができる。

【0029】また、上述の実施の形態では、分布定数回路素子として帯域フィルタを構成する場合について説明したが、低域フィルタや高域フィルタあるいは結合器等に対しても同様なアプローチを行うことができる。

【0030】図6は低域フィルタ60の構成を示しており、図6Aは低域フィルタ60の分解斜視図、図6Bは低域フィルタ60の等価回路を示している。誘電体基板61の一方の面には、直列のインダクタンスを作るパターン62aと並列容量を作るパターン62bが直列に繰り返り並べて形成される。また、他方の面は接地導体63が形成される。このパターン62a、62bが形成された誘電体基板61に接地導体66が形成された誘電体基板65が貼り合わされると共に、接地導体63と接地導体66が接続されて、トリプレート構造の低域フィルタ60とされる。

【0031】ここで、図6Cのように直列インダクタンスを作るパターン62aの位置に誘電率の低い誘電体層67を設けるものとする、この部分の寄生容量が低減された結果、直列インダクタンスが大きくなり低域フィルタの特性を変換することができる。なお、図示せず、並列容量を作るパターン62bの位置に誘電率の低い誘電体層を設けることで、並列容量が小さくなり低域フィルタの特性を変換することもできる。

【0032】また、図7は高域フィルタ70の構成を示しており、図7Aは高域フィルタ70の分解斜視図、図7Bは高域フィルタ70の等価回路を示している。誘電体基板71の一方の面には、並列のインダクタンスを作るパターン72a、72bが形成されると共に、他方の面には接地導体73が形成される。なお、パターン72a、72bの端部は接地導体73と短絡される。誘電体

基板75の一方の面には、パターン72a、72bと対向して直列容量を作ると共に接地導体と接続されることにより並列のインダクタンスを作るパターン76a、76b、76cが形成される。また、信号の入出力側とされていない側面には接地導体77が形成される。さらに誘電体基板78の一方の面には接地導体79が形成される。

【0033】誘電体基板71のパターン72a、72b面上には、誘電体基板75が貼り合わされると共に、誘電体基板75のパターン76面上には、誘電体基板78が貼り合わされる。誘電体基板71と誘電体基板75の貼り合わせでは、パターン72a、72bとパターン76a、76bが誘電体基板75を介在させて対向するように貼り合わされる。また、誘電体基板75と誘電体基板78の貼り合わせでは、パターン76と接地導体79が誘電体基板78を介在させて対向するように貼り合わされる。このように、誘電体基板71、75、78が貼り合わされると共に、接地導体73、77、79が接続されて、トリプレート構造の高域フィルタ70とされる。

【0034】ここで、図7Cに示すように並列インダクタンスを作るパターン76cの位置に誘電率の低い誘電体層80を設けるものとする、この部分の寄生容量が低減された結果、並列インダクタンスが大きくなり高域フィルタの特性を変換することができる。なお、図示せず、直列容量を作るパターン72a、72bの位置に誘電率の低い誘電体層を設けるものとする、直列容量が小さくなり高域フィルタの特性を変換することもできる。

【0035】また図8Aは結合器100の分解斜視図を示しており、誘電体基板101の一方の面には、共振器パターン102a、102bが形成される。また、他方の面は接地導体103が形成される。この共振器パターン102a、102bが形成された誘電体基板101に接地導体106が形成された誘電体基板105が貼り合わされると共に、接地導体103と接地導体106が接続されて、トリプレート構造の結合器100とされる。

【0036】ここで、図8Bのように共振器パターン102a、102bのパターン面上に誘電率の低い誘電体層107a、107bを設けるものとする、上述の帯域フィルタと同様に偶励振モードの電界が弱められて偶モードインピーダンス Z_e が大きくなると共に奇励振モードの電界は略同一とされて奇モードインピーダンス Z_o は略同じ値となる。このため、結合器100の周波数特性を変換することができる。

【0037】さらに、分布定数回路素子は、1つの部品単体として構成されるものに限られるものではなく、分布定数回路素子がアクティブ素子例えば高周波用のディスプレイスクリーン素子やMMIC (Monolithic Microwave Integrated Circuit) などの集積回路と接続して用いられ

る場合には、これらのアクティブ素子が搭載されるプリント配線板に予め分布定数回路素子を組み込んで形成するものとしても良い。

【0038】図9Aは分布定数回路素子を予め組み込んだプリント配線板の構成を示しており、図9Bは図9Aのa-a'線での断面図である。誘電体基板111の一方の面には、分布定数回路素子を構成するパターン112a、112bおよび誘電率の低い誘電体層113a、113bが形成される。また、他方の面は接地導体114が形成される。また、誘電体基板115の一方の面には接地導体116が形成されると共に、アクティブ素子120と接続される接続パッド117が形成される。さらに接続パッド117と接続されたバイアホール118が設けられており、誘電体基板111と誘電体基板115が貼り合わされたときには、パターン112bとバイアホール118が接続される。

【0039】このように、アクティブ素子等が搭載されるプリント配線板に予め分布定数回路素子を組み込んで形成することにより、種々の素子等が搭載された回路基板を効率良く簡単に組み立てることができる。

【0040】なお、上述の実施の形態で示した誘電体基板や誘電率の低い誘電体層の材料、および分布定数回路素子構造や製造方法は、例示的なものであつて限定的に解釈されるものでない。また、誘電体層の誘電率を自由に選択することで所望の特性を得ることができることは勿論である。

【0041】

【発明の効果】この発明によれば、誘電体基板よりも誘電率の低い材料を用い、導体パターンの位置に対応して誘電体層が形成される。このため、分布定数回路素子で帯域フィルタを構成したときには、共振器を構成する1対の導体パターンのパターン面と接地導体間に誘電率の低い誘電体層を設けることで、帯域フィルタの周波数特性を広帯域化することができる。また、導体パターンと対応する位置に誘電率の低い誘電体層を設けることで、低域フィルタや高域フィルタの周波数特性を可変させることができる。

【0042】さらに、誘電率の低い誘電体層を設けた分

布定数回路素子を、プリント配線板に設けることで、種々の素子等が搭載された回路基板を簡単に製造することができる。

【図面の簡単な説明】

【図1】帯域フィルタの構成を示す図である。

【図2】帯域フィルタの製造方法を示す図である。

【図3】帯域フィルタの他の製造方法を示す図である。

【図4】帯域フィルタの他の構成を示す図である。

【図5】帯域フィルタの周波数特性を示す図である。

【図6】低域フィルタの構成を示す図である。

【図7】高域フィルタの構成を示す図である。

【図8】他の結合器の構成を示す図である。

【図9】プリント配線板の構成を示す図である。

【図10】従来の帯域フィルタの構成を示す図である。

【図11】従来の帯域フィルタの他の構成を示す図である。

【図12】従来の帯域フィルタの他の構成を示す図である。

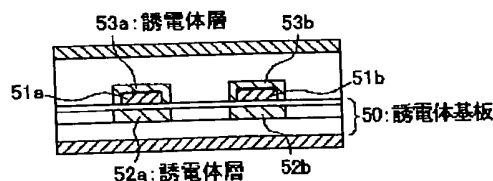
【図13】結合器の動作を説明するための図である。

【符号の説明】

10・・・帯域フィルタ、11、50、61、65、71、75、78、101、105、111、115、200、300・・・誘電体基板、12a、12b、22、26、32、36、63、66、73、77、79、103、106、114、116、302、303・・・接地導体、13a、13b、21a、21b、31a、31b、51a、51b、102a、102b、201、202、203・・・共振器パターン、14a、14b、52a、52b、53a、53b、67、80、107a、107b、113a、113b・・・誘電体層、20、23、25・・・グリーンシート、30、35・・・有機系誘電体基板、33a、33b・・・誘電体、37・・・プリプレグ材、60・・・低域フィルタ、62a、62b、72a、72b、76a、76b、76c、112a、112b・・・パターン、70・・・高域フィルタ、100・・・結合器、117・・・接続パッド、118・・・バイアホール、120・・・アクティブ素子

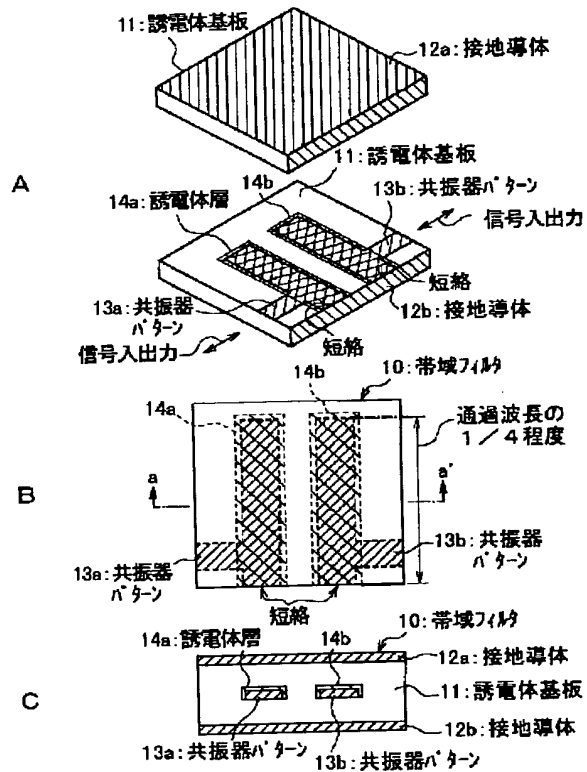
【図4】

帯域フィルタの他の構成



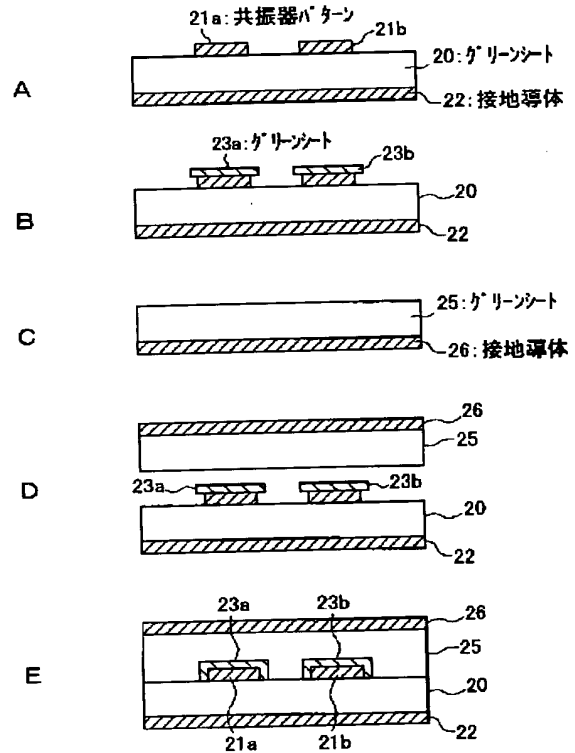
【図 1】

帯域フィルタの構成



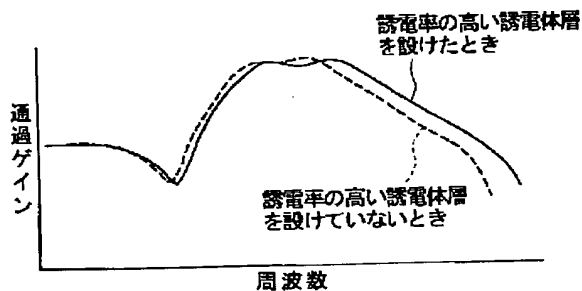
【図 2】

帯域フィルタの製造方法



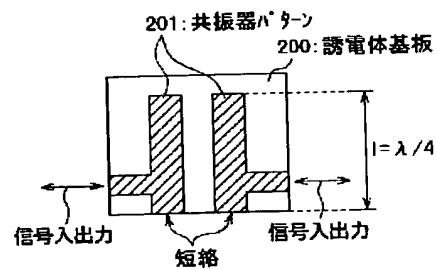
【図 5】

帯域フィルタの周波数特性



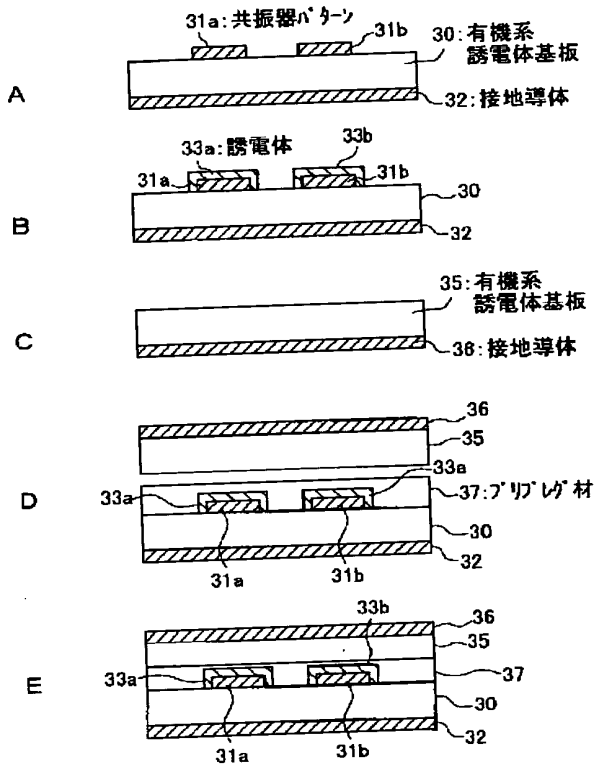
【図 10】

従来の結合器の構成



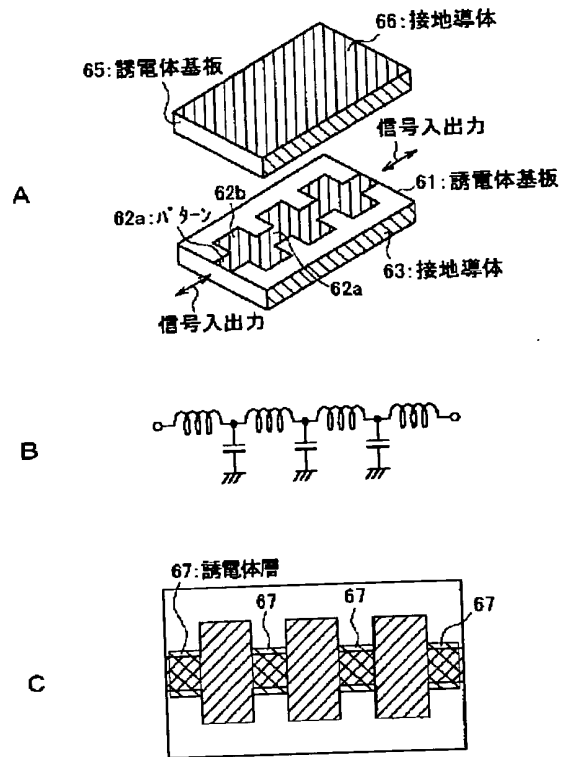
【図 3】

帯域フィルタの他の製造方法



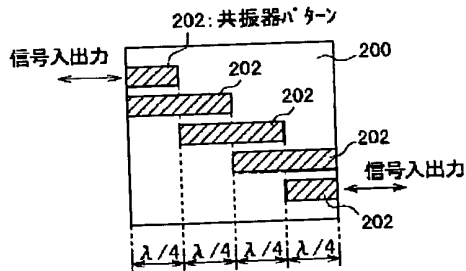
【図 6】

低域フィルタの構成



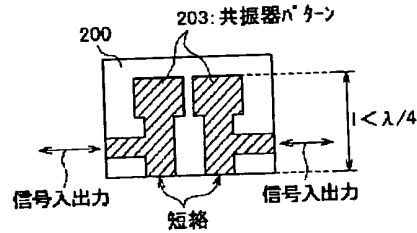
【図 11】

従来の結合器の他の構成



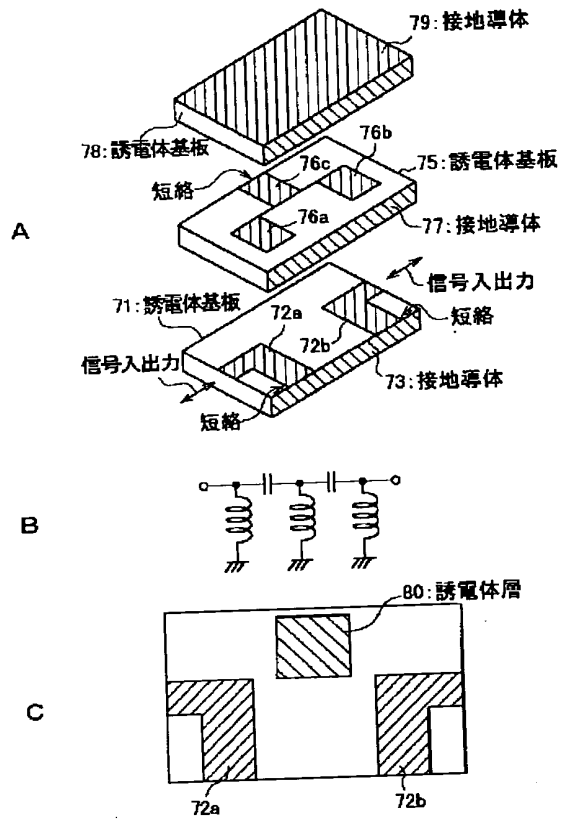
【図 12】

従来の結合器の他の構成



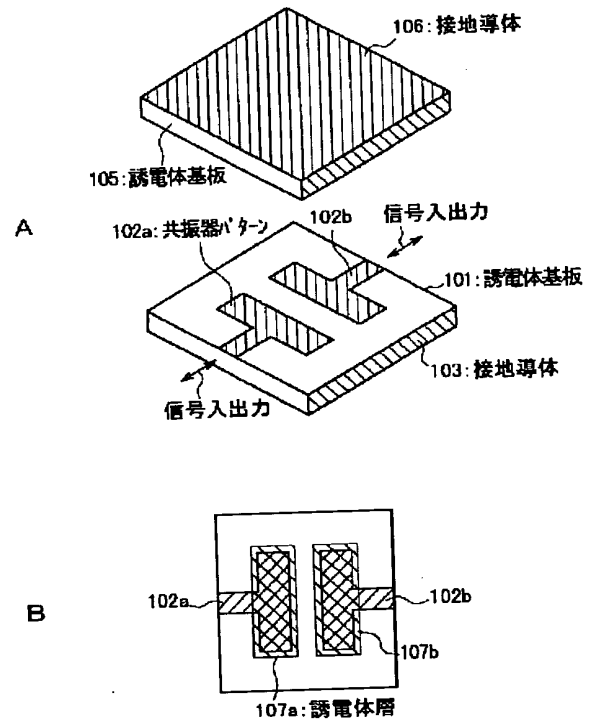
【図 7】

高域フィルタの構成



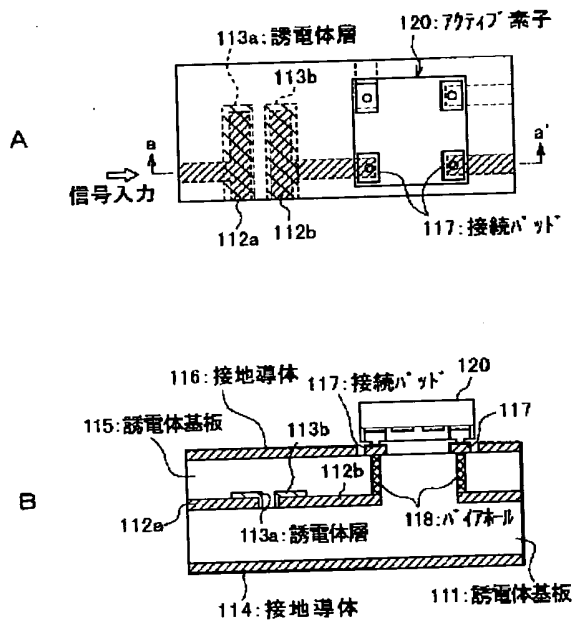
【図 8】

他の結合器の構成



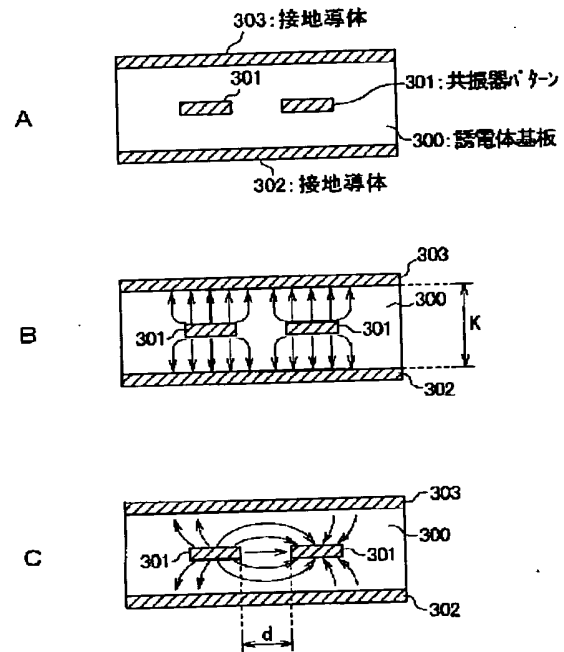
【図 9】

プリント配線板の構成



【図 13】

結合器の構成と動作



フロントページの続き

(51) Int. Cl.⁷

H05K 1/02

識別記号

F I

H05K 1/02

テーマコード(参考)

N

F ターム(参考) 5E338 AA02 AA03 AA16 AA18 BB63
 BB75 CC01 CC04 CC06 CD02
 CD11 EE11
 5J006 HA28 HB05 HB15 HB21 JA01
 JA03 JA04 JA23 LA05 LA21
 MA05 MB02 NA08 NC03 NE03
 NF02 PB04
 5J014 CA56